



十速

TR8124

内置PGA的2通道

24位 Σ - Δ 型ADC

Rev 0.90

tenx reserves the right to change or discontinue the manual and online documentation to this product herein to improve reliability, function or design without further notice. **tenx** does not assume any liability arising out of the application or use of any product or circuit described herein; neither does it convey any license under its patent rights nor the rights of others. **tenx** products are not designed, intended, or authorized for use in life support appliances, devices, or systems. If Buyer purchases or uses tenx products for any such unintended or unauthorized application, Buyer shall indemnify and hold tenx and its officers, employees, subsidiaries, affiliates and distributors harmless against all claims, cost, damages, and expenses, and reasonable attorney fees arising out of, directly or indirectly, any claim of personal injury or death associated with such unintended or unauthorized use even if such claim alleges that tenx was negligent regarding the design or manufacture of the part.

修改记录

版本	修订日期	修改内容
V0.90	Oct, 2016	新頒。

目录

修改记录.....	2
产品概述.....	4
产品特性.....	4
功能框图.....	5
引脚配置.....	6
引脚功能描述.....	7
应用信息.....	8
I ² C 串口 (SCL, SDA)	9
片内寄存器.....	11
寄存器位功能描述.....	12
1. SYS 寄存器	12
2. ADC1 寄存器	14
3. ADC2 寄存器	17
4. ADC3 寄存器	18
5. REG4 寄存器	19
6. REG5 寄存器	19
7. REG6 寄存器	20
8. ADC 数据寄存器	20
绝对最大额定值.....	21
主要电器参数.....	22
外形尺寸.....	24

产品概述

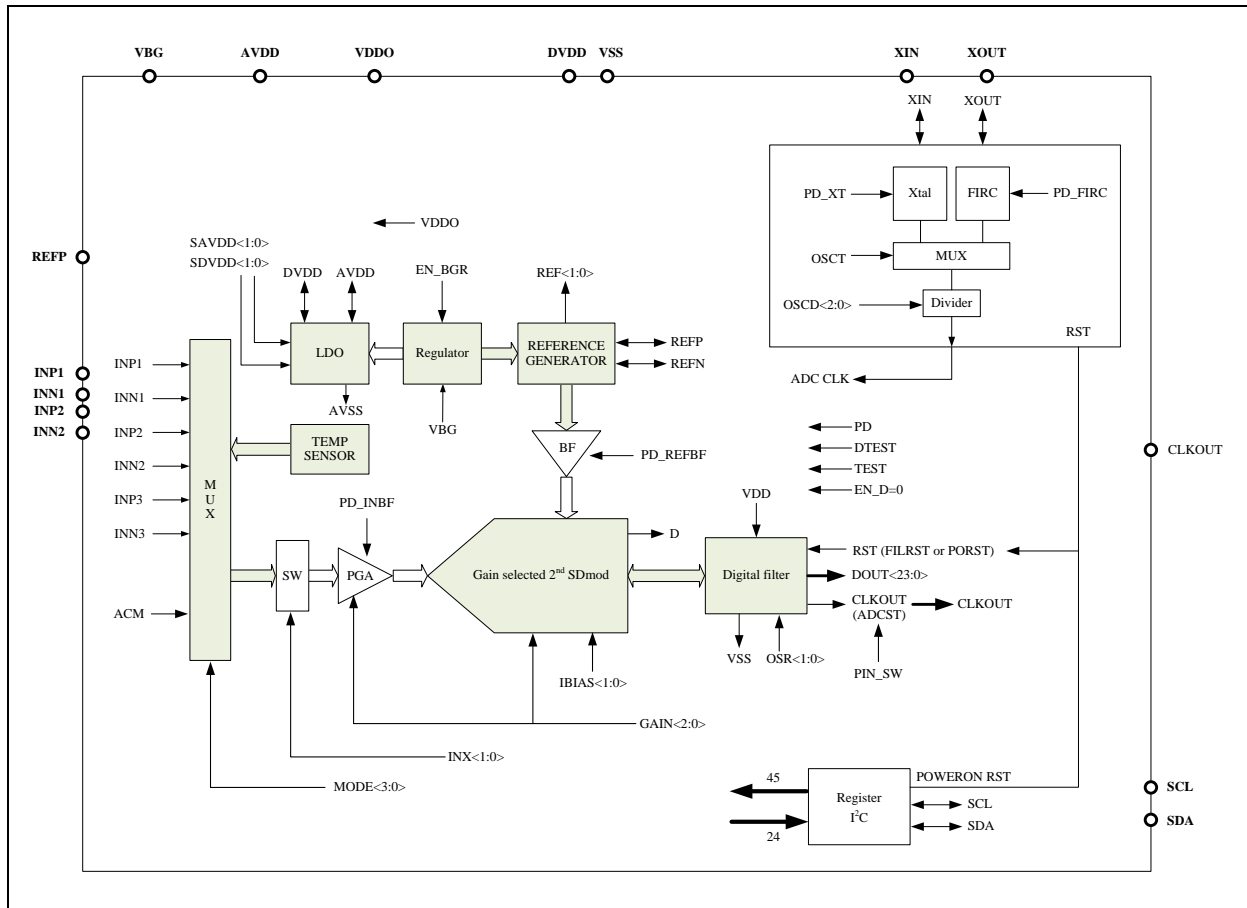
TR8124 是一款适合高精度测量应用的低噪声完整模拟前端。它集成一个低噪声、24 位 Σ - Δ 型模数转换器 (ADC)。片内低噪声增益级意味着可直接输入小信号。

这款器件可配置为两路差分输入或四通道伪差分/单端输入, 片内 2.6 MHz 时钟可以用做 ADC 的时钟源, 或者也可以使用外部晶振。该器件的输出数据率可以在 10 Hz 至 3.9K Hz 的范围内变化。

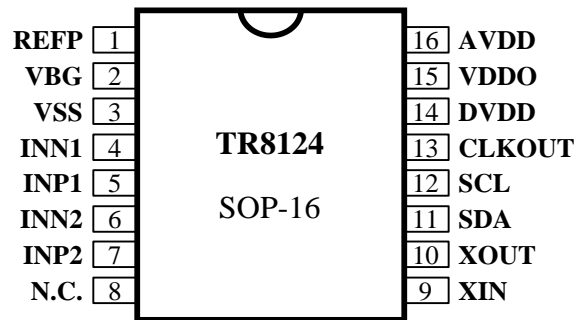
产品特性

- 2 个全差分/4 个伪差分/4 个单端模拟输入通道
- 均方根 (RMS) 噪声: 140nV (输出数据率=30.5 Hz, 增益=128)
- 17.5 位有效分辨率 (ENOB) (输出数据率=30.5 Hz, 增益=128)
- 片内低噪声可编程增益放大器 (PGA), 可编程增益: 1~128
- 输出数据率: 10 Hz 至 3.9k Hz
- 2.6MHz 内部时钟或外部晶振
- I²C 串口
- 操作电压: 2.4 to 3.6V.
- 在 3V 工作电压下电流典型值为 1.5 mA, 低功耗模式下电流少于 1 mA
- 可调整的器件整体功耗.
- 可编程的过采样率 (OSR): 1024, 2048, 4096, 8192.
- AVDD 可输出 3 种低压差稳压源: 2.4V/2.6V/2.9V 并提供外部传感器激励电压 (最大 10 mA)
- 数字电源 (DVDD) 可选择 3 种低压差稳压源: 2.2V/2.4V/2.6V
- 片内温度传感器, 需单点校正

功能框图



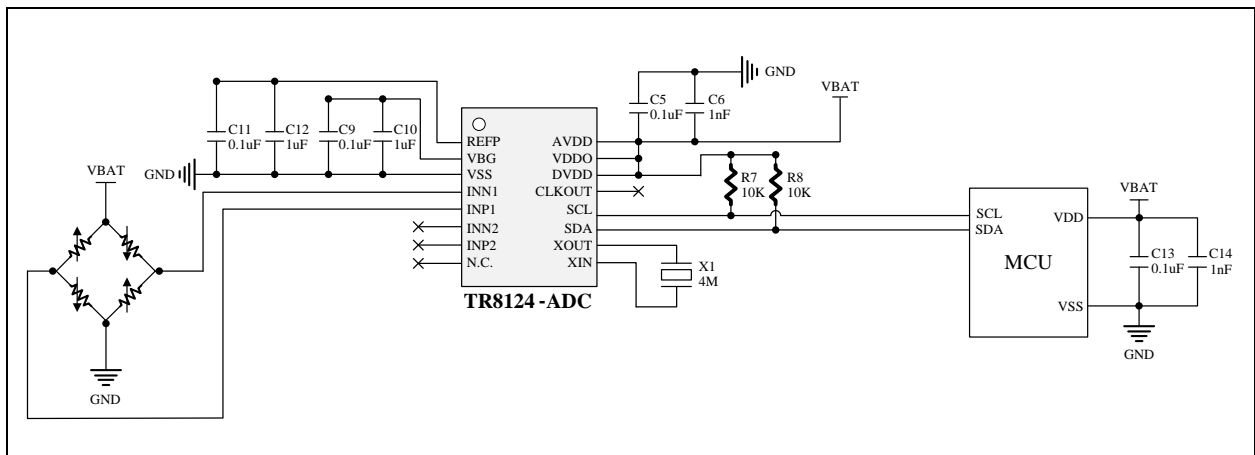
引脚配置



引脚功能描述

引脚编号	引脚名称	引脚型态		描述
1	REFP	模拟	I/O	外部正基准电压输入引脚/内部正基准电压输出引脚
2	VBG	模拟	I/O	外部带隙基准电压输入引脚/内部带隙基准输出引脚
3	VSS	模拟	P	地参考点
4	INN1	模拟	I	此引脚可以配置为全差分输入对的负输入(与 INP1 配合使用), 也可配置为伪差分或是单端输入通道
5	INP1	模拟	I	此引脚可以配置为全差分输入对的正输入(与 INN1 配合使用), 也可配置为伪差分或是单端输入通道
6	INN2	模拟	I	此引脚可以配置为全差分输入对的负输入(与 INP2 配合使用), 也可配置为伪差分或是单端输入通道
7	INP2	模拟	I	此引脚可以配置为全差分输入对的正输入(与 INN2 配合使用), 也可配置为伪差分或是单端输入通道
8	N.C.	-	-	-
9	XIN	模拟	I	当器件的主时钟由外部晶振提供时, 该晶振连接于 XIN 和 XOUT 之间
10	XOUT	模拟	O	当器件的主时钟由外部晶振提供时, 该晶振连接于 XIN 和 XOUT 之间
11	SDA	数字	I/O	I ² C 串行数据输入/输出引脚
12	SCL	数字	I/O	I ² C 串行时钟输入引脚
13	CLKOUT	数字	O	数据就绪输出引脚
14	DVDD	模拟	I/O	数字电源输入引脚/数字电源低压差稳压源输出引脚
15	VDDO	模拟	P	正电源电压
16	AVDD	模拟	I/O	模拟电源输入引脚 /模拟电源低压差稳压源输出引脚

应用信息



秤重传感器建议设置:

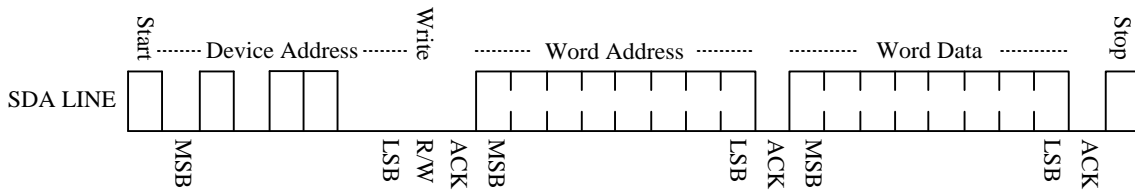
EN_BGR=1, IBIAS[1:0]=01/10, OSR[1:0]=00, OSCD[2:0]=100 (1/16 分频),
 REF[1:0]=11, SAVDD[1:0]=00 (AVDD 短路到 VDDO), OSCT=0 (外部晶振)

I²C 串口 (SCL, SDA)

ADC 器件与外部 MCU 的通讯是利用 I²C 做为接口, 串口通讯线由管脚 SCL 和 SDA 组成, 用来进行片内寄存器的控制和配置。I2C 串口的时序如下:

写入周期时序图:

Write Register



Device Address=0101100

R/W bit=0, for Write state

SDA pattern for writing Word Address 0: S-01011000k-00000000k-ddddddddk-P

SDA pattern for writing Word Address 1: S-01011000k-00000001k-ddddddddk-P

SDA pattern for writing Word Address 2: S-01011000k-00000010k-ddddddddk-P

SDA pattern for writing Word Address 3: S-01011000k-00000011k-ddddddddk-P

SDA pattern for writing Word Address 4: S-01011000k-00000100k-ddddddddk-P

SDA pattern for writing Word Address 5: S-01011000k-00000101k-ddddddddk-P

SDA pattern for writing Word Address 6: S-01011000k-00000110k-ddddddddk-P

SDA pattern for continuous writing Word Address 0~6: S-01011000k-00000000k-ddddddddk- dddddddk-
 dddddddk- dddddddk- dddddddk- dddddddk-
 dddddddk-P

注解:

- SDA pattern definition:

S: Start 位元

k: ACK 位元

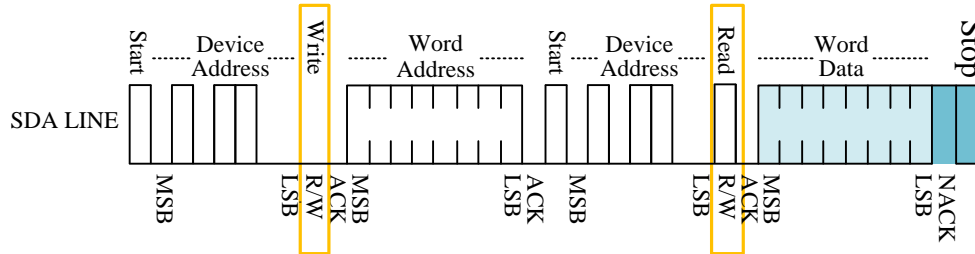
d: 寄存器数据

P: Stop 位元

寄存器 7-9 是只读寄存器, 无法透过串口写入数据.

读取周期时序图:

Read ADC Register



Device Address=0101100

R/W bit=0, for Write state

R/W bit =1, for Read state

SDA pattern for reading Word Address 0: S-0101100k-0000000k-S-0101100k-dddddddd1-P

SDA pattern for reading Word Address 1: S-0101100k-00000001k-S -01011001k-dddddddd1-P

SDA pattern for reading Word Address 2: S-0101100k-00000010k-S -01011001k-dddddddd1-P

SDA pattern for reading Word Address 3: S-0101100k-00000011k-S -01011001k-dddddddd1-P

SDA pattern for reading Word Address 4: S-0101100k-00000100k-S -01011001k-dddddddd1-P

SDA pattern for reading Word Address 5: S-0101100k-00000101k-S -01011001k-dddddddd1-P

SDA pattern for reading Word Address 6: S-0101100k-00000110k-S -01011001k-dddddddd1-P

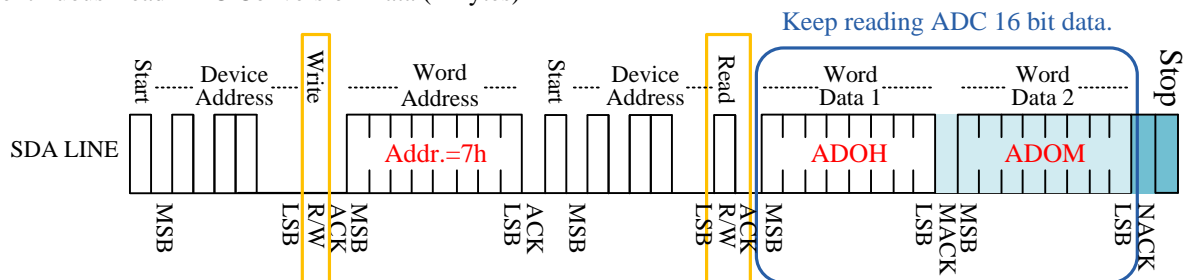
SDA pattern for reading Word Address 7: S-0101100k-00000111k-S -01011001k-dddddddd1-P

SDA pattern for reading Word Address 8: S-0101100k-00001000k-S -01011001k-dddddddd1-P

SDA pattern for reading Word Address 9: S-0101100k-00001001k-S -01011001k-dddddddd1-P

SDA pattern for continuous reading Word Address 7~9: S-0101100k- 00000111k-S-01011001k-ddddddddK-ddddddddK -ddddddd1-P

Continuous Read ADC Conversion Data (2 Bytes)



片内寄存器

寄存器	地址	位7	位6	位5	位4	位3	位2	位1	位0
SYS	0h	FILRST	PD	PD_REFBF	-	EN_BGR	SAVDD[1]	SAVDD[0]	ADCST
		R/W	R/W	R/W	R/W	R/W	R/W	R/W	R
默认值		0	1	1	1	0	0	0	0
ADC1	1h	MODE[3]	MODE[2]	MODE[1]	MODE[0]	INX[1]	INX[0]	REF[1]	REF[0]
		R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
默认值		0	0	0	1	0	0	1	1
ADC2	2h	OSCT	-	-	-	GAIN[2]	GAIN[1]	GAIN[0]	-
		R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
默认值		0	0	0	0	1	0	1	0
ADC3	3h	PD_XT	PD_FIRC	OSCD[2]	OSCD[1]	OSCD[0]	-	-	-
		R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
默认值		1	1	0	0	0	0	0	0
REG4	4h	-	-	-	-	-	-	-	PINSW
		R/W	R/W	R/W	R/W	R/W	R/W	R/W	W/R
默认值		1	1	1	1	1	1	1	1
REG5	5h	SDVDD[1]	SDVDD[0]	-	-	-	-	OSR[1]	OSR[0]
		R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
默认值		0	0	0	0	0	0	0	0
REG6	6h	-	-	PD_INBF	IBIAS[1]	IBIAS[0]	-	-	-
		R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
默认值		0	0	0	0	1	1	1	1
ADOH	7h	DOUT[23]	DOUT[22]	DOUT[21]	DOUT[20]	DOUT[19]	DOUT[18]	DOUT[17]	DOUT[16]
		R	R	R	R	R	R	R	R
默认值		0	0	0	0	0	0	0	0
ADOM	8h	DOUT[15]	DOUT[14]	DOUT[13]	DOUT[12]	DOUT[11]	DOUT[10]	DOUT[9]	DOUT[8]
		R	R	R	R	R	R	R	R
默认值		0	0	0	0	0	0	0	0
ADOL	9h	DOU[7]	DOUT[6]	DOUT[5]	DOUT[4]	DOUT[3]	DOUT[2]	DOUT[1]	DOUT[0]
		R	R	R	R	R	R	R	R
默认值		0	0	0	0	0	0	0	0

寄存器位功能描述

1. SYS 寄存器

1.1 数字滤波器的复位

寄存器地址	寄存器名称	位位置	位的名称
0h	SYS	X - - - - -	FILRST

位的名称	描述
FILRST=0	使数字滤波器离开复位状态, 上电后 FILRST 位的默认值为 0.
FILRST=1	使数字滤波器复位, TR8124 的数字滤波器在上电后会自动执行复位, 但是在通道切换后不会自动执行复位, 因此每次切换通道后 ADC 需要等待不同的转换次数才能得到精确反应仿真输入的输出数据。若在切换信道之后将数字滤波器复位, ADC 就能够在离开复位后的第 4 次转换得到精确反应仿真输入的输出数据。

1.2 ADC 掉电模式

寄存器地址	寄存器名称	位位置	位的名称
0h	SYS	- X - - - - -	PD

位的名称	描述
PD=0	ADC 进入正常操作模式。在正常操作模式下, ADC 将连续执行转换, 并将结果置于数据寄存器中。
PD=1	ADC 进入掉电模式。在掉电模式下, TR8124 所有电路均关断, 内部时钟/外部晶振停止动作, AVDD 引脚输出变成高阻抗状态 (低压差稳压源的输出模式), DVDD 引脚的输出电压会与 VDDO 相同 (低压差稳压源的输出模式), VBG 引脚输出变成高阻抗状态 (使能内部带隙基准模式)。上电后 PD 寄存器的默认值为 1.

1.3 基准电压缓冲器

寄存器地址	寄存器名称	位位置	位的名称
0	SYS	- - X - - - -	PD_REFBF

位的名称	描述
PD_REFBF=0	使能基准电压缓冲器, 基准电压进行缓冲。在使用外部基准电压输入的配置下 (REF[1:0]=00), 输入端可接受较大的 RC 源阻抗。例如从外部电阻获取基准输入电压。
PD_REFBF=1	禁用基准电压缓冲器, 基准电压不进行缓冲。在使用外部基准电压输入的配置下 (REF[1:0]=00), 过大的 RC 源阻抗会导致增益误差。

1.4 内/外部带隙基准的配置

寄存器地址	寄存器名称	位位置	位的名称
0	SYS	----X---	EN_BGR

位的名称	描述
EN_BGR=0	VBG 引脚配置为外部带隙基准电压输入, 禁用内部带隙基准。外部带隙基准电压连接到 VBG 输入引脚上, 外部带隙基准的电压范围不可超过 0.3V~2V。必须禁用 AVDD 或是 DVDD 的低压差稳压源功能。
EN_BGR=1	使能内部带隙基准, VBG 引脚配置为内部带隙基准电压输出。内部带隙基准会与 VBG 引脚相连, 在 VBG 引脚与 VSS 之间要连接一个电容来稳定内部带隙基准电压。 使能 AVDD 或是 DVDD 的低压差稳压源功能之前, 要先使能内部带隙基准。在掉电模式下, VBG 引脚输出变成高阻抗状态。

1.5 AVDD 的电源引脚配置

寄存器地址	寄存器名称	位位置	位的名称
0	SYS	-----XX-	SAVDD[1:0]

位的名称	描述
SAVDD[1:0]=00	AVDD 是仿真电源电压输入引脚, AVDD 必须与 VDDO 连接。
SAVDD[1:0]=01	AVDD 可产生一个内部带隙基准电压 2.4 倍 (AVDD=VBG*2.4) 的低压差稳压源, 在 AVDD 与 VSS 之间要连接一个电容来稳定 AVDD 电压。 AVDD 可做为外部传感器的激励电压。 使能低压差稳压源之前, 必须先使能内部带隙基准 (EN_BGR=1)。 在掉电模式下, AVDD 引脚输出变成高阻抗状态。
SAVDD[1:0]=10	AVDD 可产生一个内部带隙基准电压 2.2 倍 (AVDD=VBG*2.2) 的低压差稳压源, 在 AVDD 引脚与 VSS 之间要连接一个电容来稳定 AVDD 电压。 AVDD 可做为外部传感器的激励电压。 使能低压差稳压源之前, 必须先使能内部带隙基准 (EN_BGR=1)。 在掉电模式下, AVDD 引脚输出变成高阻抗状态。
SAVDD[1:0]=11	AVDD 可产生一个内部带隙基准电压 2.0 倍 (AVDD=VBG*2.0) 的低压差稳压源, 在 AVDD 引脚与 VSS 之间要连接一个电容来稳定 AVDD 电压。 AVDD 可做为外部传感器的激励电压。 使能低压差稳压源之前, 必须先使能内部带隙基准 (EN_BGR=1)。 在掉电模式下, AVDD 引脚输出变成高阻抗状态。

1.6 ADC 数据状态

寄存器地址	寄存器名称	位位置	位的名称
0	SYS	-----X	ADCST

位的名称	描述
ADCST=0	在 ADC 新的转换结果更新数据寄存器之前的一定时间内, ADCST 位自动清 0, 以告知用户不应读取转换数据。ADCST 是只读位。
ADCST=1	数据写入 ADC 数据寄存器 (ADOH. ADOM. ADOL) 后此位置 1。ADCST 是只读位。

2. ADC1 寄存器

2.1 仿真输入信道的配置

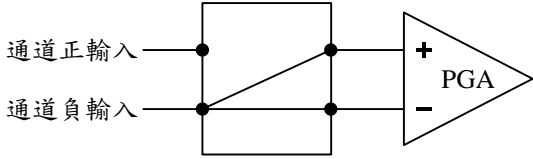
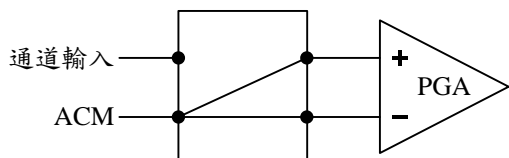
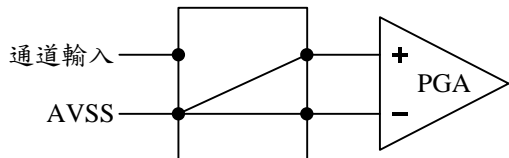
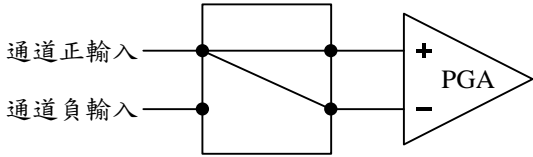
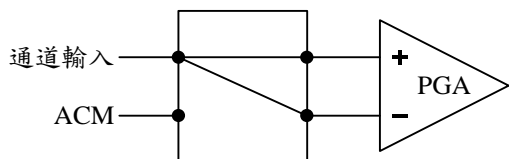
寄存器地址	寄存器名称	位位置	位的名称
1	ADC1	XXXX - - - -	MODE[3:0]

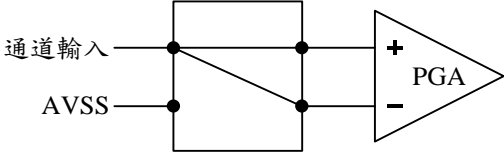
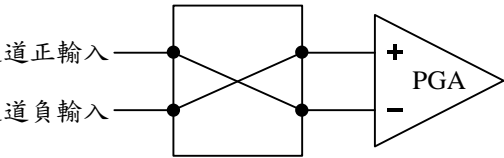
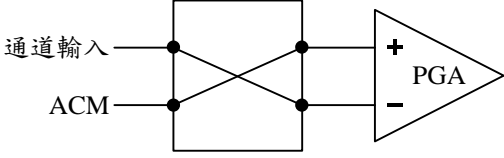
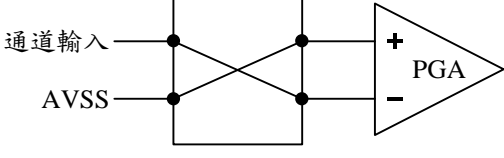
位的名称	使能的通道	描述
MODE[3:0]=0000	TPS1-TPS0	测量片内温度传感器, 配置为全差分输入以及双极性模式。 $Dout = GAIN * (TPS1 - TPS0) / (REFP - AVSS) * 2^{23}$ 数据以双极性、2 的补码格式输出。
MODE[3:0]=0001	INP1-INN1	将 2 个仿真输入配置为全差分输入, 在全差分模式下, 信号以差分对的负输入为基准(INN)。 $Dout = GAIN * (INP - INN) / (REFP - AVSS) * 2^{23}$ 数据以双极性、2 的补码格式输出。
MODE[3:0]=0010	INP2-INN2	
MODE[3:0]=0011	保留	
MODE[3:0]=0100	INP1-ACM	将仿真输入信道配置为伪差分输入, 在伪差分模式下, 信号以 ACM 为基准。 $Dout = GAIN * (INP - ACM) / (REFP - AVSS) * 2^{23}$ 数据以双极性、2 的补码格式输出。 在 VBG=1.25V 的条件下 ACM=0.8V, 外部传感器使用 AVDD 提供的激励电压
MODE[3:0]=0101	INN1-ACM	
MODE[3:0]=0110	INP2-ACM	
MODE[3:0]=0111	INN2-ACM	
MODE[3:0]=1000	INP1-AVSS	将仿真输入信道配置为单端模拟输入以及双极性模式, 在单端模拟模式下, 信号以 AVSS 为基准。 $Dout = GAIN * (INP - AVSS) / (REFP - AVSS) * 2^{23}$ 数据以双极性、2 的补码格式输出。
MODE[3:0]=1001	INN1-AVSS	
MODE[3:0]=1010	INP2-AVSS	
MODE[3:0]=1011	INN2-AVSS	

2.2 系统零电平校准的配置

寄存器地址	寄存器名称	位位置	位的名称
1	ADC1	- - - - X X - -	INX[1:0]

位的名称	描述
INX[1:0]=00	<p>正常操作配置。ADC1 寄存器位 (MODE[3:0]) 所选择的通道的正输入 (INP 引脚) 连接到 PGA 正输入, 通道的负输入 (INN 引脚) 连接到 PGA 负输入。</p> <p style="text-align: center;">INX[1:0]=00</p> <p>通道正输入</p> <p>通道负输入</p>
INX[1:0]=01	<p>从信道负输入进行系统零电平校准。</p> <p>全差分模式下, ADC1 寄存器位 (MODE[3:0]) 所选择的通道的负输入 (INN 引脚) 同时连接到 PGA 的正/负输入上, 用户应将系统零电平输入连接到通道的负输入 (INN 引脚)。</p>

	<p style="text-align: center;">INX[1:0]=01</p>  <p>通道正輸入 通道負輸入</p> <p>伪差分模式下, 片内 ACM 信号同时连接到 PGA 的正/负输入上。</p> <p style="text-align: center;">INX[1:0]=01</p>  <p>通道輸入 ACM</p> <p>单端输入模式下, AVSS 信号同时连接到 PGA 的正/负输入上。</p> <p style="text-align: center;">INX[1:0]=01</p>  <p>通道輸入 AVSS</p>
<p>INX[1:0]=10</p>	<p>从信道正输入进行系统零电平校准。</p> <p>全差分模式下, ADC1 寄存器位 (MODE[3:0]) 所选择的通道的正输入 (INP 引脚) 同时连接到 PGA 的正/负输入上, 用户应将系统零电平输入连接到通道的正输入 (INP 引脚)。</p> <p style="text-align: center;">INX[1:0]=10</p>  <p>通道正輸入 通道負輸入</p> <p>伪差分模式下, ADC1 寄存器位 (MODE[3:0]) 所选择的通道的外部引脚同时连接到 PGA 的正/负输入上, 用户应将系统零电平输入连接到通道的输入引脚。</p> <p style="text-align: center;">INX[1:0]=10</p>  <p>通道輸入 ACM</p> <p>单端输入模式下, ADC1 寄存器位 (MODE[3:0]) 选择通道的外部引脚同时连接到 PGA 的正/负输入上, 用户应将系统零电平输入连接到通道的输入引脚。</p>

	<p style="text-align: center;">$INX[1:0] = 10$</p> 
$INX[1:0] = 11$	<p>将信道输入反接后进行系统零电平校准。 全差分模式下, ADC1 寄存器位 (MODE[3:0]) 所选择的通道的负输入 (INN 引脚) 连接到 PGA 正输入, 通道的正输入 (INP 引脚) 连接到 PGA 负输入。</p> <p style="text-align: center;">$INX[1:0] = 11$</p>  <p>伪差分模式下, ACM 信号连接到 PGA 的正输入上, ADC1 寄存器位 (MODE[3:0]) 所选择的通道的输入引脚连接到 PGA 负输入。</p> <p style="text-align: center;">$INX[1:0] = 11$</p>  <p>单端输入模式下, AVSS 信号连接到 PGA 的正输入上, ADC1 寄存器位 (MODE[3:0]) 所选择的通道的输入引脚连接到 PGA 负输入。</p> <p style="text-align: center;">$INX[1:0] = 11$</p> 

2.3 基准电压源的配置

寄存器地址	寄存器名称	位位置	位的名称
1	ADC1	-----XX	REF[1:0]

位的名称	REFP 引脚功能	描述
REF[1:0]=00	外部正基准电压输入	使用外部正基准电压, 可以在 REFP 施加一个外部基准电压, REFP 可位于 0.5V~2.0V 之间。 若是从外部电阻获取基准输入电压, 意味着基准电压输入端会有较大的 RC 源阻抗, 建议使能基准电压缓冲 (REF[1:0]=00), 以避免增益误差。
REF[1:0]=01	内部正基准电压输出 (AVDD/3)	使用内部正基准电压, 从 REFP 引脚输出 $1/3*AVDD$ 电压, 用户必须在 REFP 与 VSS 之间加一个电容, 以稳定内部正基准电压。
REF[1:0]=10	内部正基准电压输出 (AVDD/6)	使用内部正基准电压, 从 REFP 引脚输出 $1/6*AVDD$ 电压, 用户必须在 REFP 与 VSS 之间加一个电容, 以稳定内部正基准电压。
REF[1:0]=11	内部正基准电压输出 (AVDD/2)	使用内部正基准电压, 从 REFP 引脚输出 $1/2*AVDD$ 电压, 用户必须在 REFP 与 VSS 之间加一个电容, 以稳定内部正基准电压。

3. ADC2 寄存器

3.1 时钟源的选择

寄存器地址	寄存器名称	位位置	位的名称
2	ADC2	X-----	OSCT

位的名称	描述
OSCT=0	ADC 时钟源使用外部晶振, 请确认已将 PD_XT 位清 0 以使能外部晶振。用户使能外部晶振后片内时钟不会自动禁用, 需将 PD_FIRC 位置 1 以禁用片内时钟以减少功耗。
OSCT=1	ADC 时钟源使用 2.6 MHz 内部时钟, 请确认已将 PD_FIRC 位清 0 以使能片内时钟。用户使能片内时钟后外部晶振不会自动禁用, 需将 PD_XT 位置 1 以禁用外部晶振以减少功耗。

3.2 PGA 增益选择

寄存器地址	寄存器名称	位位置	位的名称
2	ADC2	----XXX-	GAIN[2:0]

位的名称	PGA 增益
GAIN[2:0]=000	1
GAIN[2:0]=001	2
GAIN[2:0]=010	4
GAIN[2:0]=011	8
GAIN[2:0]=100	16
GAIN[2:0]=101	32
GAIN[2:0]=110	64
GAIN[2:0]=111	128

4. ADC3 寄存器

4.1 使能/禁用外部晶振

寄存器地址	寄存器名称	位位置	位的名称
3	ADC3	X-----	PD_XT

位的名称	描述
PD_XT=0	使能外部晶振, 晶振 (2 MHz~10 MHz) 可以连接于 XIN 与 XOUT 引脚之间。
PD_XT=1	禁用外部晶振。

4.2 使能/禁用片内时钟

寄存器地址	寄存器名称	位位置	位的名称
3	ADC3	-X-----	PD_FIRC

位的名称	描述
PD_FIRC=0	使能 2.6 Mhz 内部时钟。
PD_FIRC=1	禁用 2.6 Mhz 内部时钟。

4.3 系统时钟频率分频器

系统时钟频率分频器的输入时钟是由寄存器 OSCT 所选择的时钟源, 而输出时钟则是 ADC 的系统时钟 (ADCCLK)。

F_{OSC} : 时钟源的频率; F_{ADCCLK} : ADC 系统时钟的频率

寄存器地址	寄存器名称	位位置	位的名称
3	ADC3	--XXX---	OSCD[2:0]

位的名称	描述
OSCD[2:0]=000	$F_{ADCCLK}=F_{OSC}$
OSCD[2:0]=001	$F_{ADCCLK}=F_{OSC} * 1/2$
OSCD[2:0]=010	$F_{ADCCLK}=F_{OSC} * 1/4$
OSCD[2:0]=011	$F_{ADCCLK}=F_{OSC} * 1/8$
OSCD[2:0]=100	$F_{ADCCLK}=F_{OSC} * 1/16$
OSCD[2:0]=101	$F_{ADCCLK}=F_{OSC} * 1/32$
OSCD[2:0]=110	$F_{ADCCLK}=F_{OSC} * 1/64$
OSCD[2:0]=111	$F_{ADCCLK}=F_{OSC} * 1/128$

5. REG4 寄存器

5.1 数据就绪输出引脚(CLKOUT)的配置

寄存器地址	寄存器名称	位位置	位的名称
4	REG4	-----X	PINSW

位的名称	描述
PINSW=0	将 CLKOUT 引脚配置为高阻抗。
PINSW=1	将 CLKOUT 引脚配置为数字输出引脚。此引脚输出的上升沿表示新的 ADC 数据已经更新至 ADC 数据寄存器。

6. REG5 寄存器

6.1 DVDD 电源引脚的配置

寄存器地址	寄存器名称	位位置	位的名称
5	REG5	XX-----	SDVDD[1:0]

位的名称	描述
SDVDD[1:0]=00	DVDD 是数字电源电压输入引脚, DVDD 必须与 VDDO 连接。
SDVDD[1:0]=01	DVDD 可产生一个内部带隙基准电压 2.2 倍 ($DVDD=VBG*2.2$) 的低压差稳压源, 在 DVDD 与 VSS 之间要连接一个电容来稳定 DVDD 电压。 使能低压差稳压源之前, 必须先使能内部带隙基准 ($EN_BGR=1$)。 在掉电模式下, DVDD 引脚会输出 VDDO 的电压。
SDVDD[1:0]=10	DVDD 可产生一个内部带隙基准电压 2.0 倍 ($DVDD=VBG*2.0$) 的低压差稳压源, 在 DVDD 与 VSS 之间要连接一个电容来稳定 DVDD 电压。 使能低压差电压调节器之前, 必须先使能内部带隙基准 ($EN_BGR=1$)。 在掉电模式下, DVDD 引脚会输出 VDDO 的电压。
SDVDD[1:0]=11	DVDD 可产生一个内部带隙基准电压 1.8 倍 ($DVDD=VBG*1.8$) 的低压差稳压源, 在 DVDD 与 VSS 之间要连接一个电容来稳定 DVDD 电压。 使能低压差电压调节器之前, 必须先使能内部带隙基准 ($EN_BGR=1$)。 在掉电模式下, DVDD 引脚会输出 VDDO 的电压。

6.2 ADC 过采样率的选择

寄存器地址	寄存器名称	位位置	位的名称
5	REG5	-----XX	OSR[1:0]

位的名称	描述
OSR[1:0]=00	以 8192 为过采样率。 ADC 的转换速率= $F_{ADCCLK}/8192$
OSR[1:0]=01	以 4092 为过采样率。 ADC 的转换速率= $F_{ADCCLK}/4092$
OSR[1:0]=10	以 2048 为过采样率。 ADC 的转换速率= $F_{ADCCLK}/2048$
OSR[1:0]=11	以 1024 为过采样率。 ADC 的转换速率= $F_{ADCCLK}/1024$

7. REG6 寄存器

7.1 使能/禁用片内可编程增益放大器 (PGA)

寄存器地址	寄存器名称	位位置	位的名称
6	REG6	-- X - - - -	PD_INBF

位的名称	描述
PD_INBF = 0	使能 PGA。模拟输入先经过 PGA 缓冲/放大之后再进入 ADC 进行转换。
PD_INBF = 1	禁用 PGA。模拟输入不经过 PGA, 直接进入 ADC 进行转换。

7.2 调整器件整体功耗

TR8124 可以利用寄存器的设置来调整器件整体功耗, 以达到省电的需求。但是器件的功耗大小会直接影响 PGA 以及 ADC 的特性。一般来说, 较低的功耗会使得 PGA 以及 ADC 的效能变差。用户在设置此寄存器时必须评估功耗与性能之间的平衡。

寄存器地址	寄存器名称	位位置	位的名称
6	REG6	- - - X X - - -	IBIAS[1:0]

位的名称	描述
IBIAS[1:0]=00	器件使用 2 倍的基准电流值操作。
IBIAS[1:0]=01	器件使用典型的基准电流值操作, 规格书上的参数都是以这个电流值测量获得。上电后的默认值。
IBIAS[1:0]=10	器件使用 1/3 的基准电流值操作。
IBIAS[1:0]=11	器件使用 1/6 的基准电流值操作。

8. ADC 数据寄存器

8.1 数据寄存器

寄存器地址	寄存器名称	位位置	位的名称
7	ADOH	X X X X X X X X	DOUT[23:16]
8	ADOM	X X X X X X X X	DOUT[15:8]
9	ADOL	X X X X X X X X	DOUT[7:0]

位的名称	描述
DOUT[23:0]	此数据寄存器储存 ADC 的转换结果, DOUT[23] 是 MSB 且为符号位。它是一个 24 位只读寄存器。 在寄存器 ADCST 置 1 或是 CLKOUT 引脚输出上升沿, 表示新的 ADC 转换数据已经更新到数据寄存器。

绝对最大额定值

参数	额定值	单位
电源电压范围	-0.3 to 6.0	V
输入电压范围	$V_{SS} - 0.3$ to $V_{DD} + 0.3$	
输出电压范围	$V_{SS} - 0.3$ to $V_{DD} + 0.3$	
工作温度范围	-20 to +70	°C
储存温度范围	-50 to +125	

主要电器参数

除非另有说明, PGA 的增益=128, VDDO=3.0V, 温度=25°C

参数(条件)	最小值	典型值	最大值	单位
可编程增益放大器的增益	1	-	128	
可编程增益放大器的耗电		200		uA
失调误差(增益=128)		10		uV
零失调误差(增益=128)		3 ^{*1}		% FSR
失调温飘(增益=128)		±100		nV/°C
增益温飘(增益=128)		±10		ppm/°C
仿真输入电压限值(PGA 放大模式)	AVSS+0.7		AVDD-1V	V
ADC 分辨率(无失码)	15			Bit
过采样率	1024		8192	-
ADC 输出数据率(过采样率=8192, ADC 系统时钟=81.92 kHz)		10		Samples/sec
ENOB ^{*2} (增益=128, 输出数据率=30.5 Hz)		17.5		bit
均方根噪声 ^{*2} (增益=128, 输出数据率=30.5 Hz, ADC 系统时钟=250 kHz, 过采样率= 8192)		140		nV
Low pass filter corner frequency		10		Hz
50/60 Hz 抑制(输出数据率=10 Hz)		90		dB
数字滤波器建立时间			400	ms
内部时钟频率	-10%	2.5	+10%	MHz
内部时钟耗电		200		uA
外部晶振耗电		400		uA
温度传感器量程	-40		90	°C
温度传感器精度(用户校准后)		±1.5	±3	°C
片内带隙基准电压	1.10	1.19	1.30	V
片内带隙基准电压温飘系数		±200		ppm/°C
共模抑制(直流条件下, 输出数据率= 10 Hz, 输入电压=AVDD/2 ±0.1V)		75		dB
电源抑制(直流条件下, 输出数据率=10 Hz, VDDO=3.0V ±0.1V)		110		dB
电源电压 (AVDD)	2.4		3.6	V
电源电流 (AVDD)		1150	1400	uA
电源电压 (DVDD)	2.4		3.6	V
电源电流 (DVDD)		100	200	uA

(*1) 零失调误差可以在进行内部零电平校准后消除

(*2)有效分辨率与均方根噪声:

有效分辨率 (bit) 与增益和输出数据率的关系 (ADC系统时钟=250 kHz, VDDO=AVDD=3.3V, VREF=1.65V) * ³						
Max. Vin (mV) =0.9 * VREF	增益	1024	2048	4096	8192	过采样率
		244 Hz	122 Hz	61 Hz	30.5 Hz	输出数据率
±1200m * 0.9 FSR	1	19.16	19.52	19.88	20.11	有效分辨率 (bit)
±600m * 0.9 FSR	2	18.44	18.85	19.05	19.39	
±300m * 0.9 FSR	4	17.63	18.07	18.34	18.48	
±150m * 0.9 FSR	8	17.58	17.85	18.17	18.66	
±75m * 0.9 FSR	16	17.32	17.68	18.14	18.37	
±37.5m * 0.9 FSR	32	17.00	17.40	17.88	18.20	
±18.8m * 0.9 FSR	64	16.56	17.03	17.28	17.82	
±9.4m * 0.9 FSR	128	16.12	16.63	17.04	17.48	

均方根噪声 (uV) 与增益和输出数据率的关系 (ADC系统时钟=250 kHz, VDDO=AVDD=3.3V, VREF=1.65V) * ³						
Max. Vin (mV) =0.9 * VREF	增益	1024	2048	4096	8192	过采样率
		244 Hz	122 Hz	61 Hz	30.5 Hz	输出数据率
±1200m * 0.9 FSR	1	5.64	4.38	3.41	2.91	均方根噪声 (uV)
±600m * 0.9 FSR	2	4.65	3.49	3.04	2.39	
±300m * 0.9 FSR	4	4.06	2.99	2.49	2.26	
±150m * 0.9 FSR	8	2.10	1.75	1.39	1.00	
±75m * 0.9 FSR	16	1.26	0.98	0.71	0.61	
±37.5m * 0.9 FSR	32	0.78	0.60	0.43	0.34	
±18.8m * 0.9 FSR	64	0.53	0.39	0.32	0.22	
±9.4m * 0.9 FSR	128	0.36	0.25	0.19	0.14	

(*3)有效分辨率与均方根噪声的测量条件:

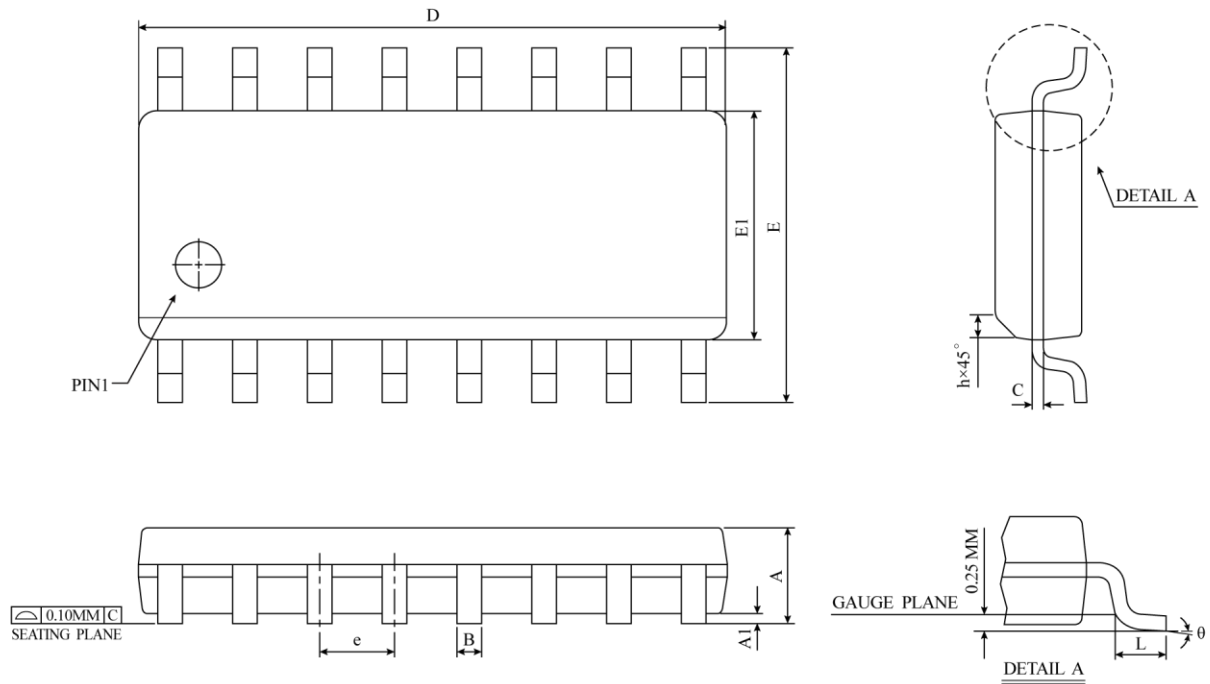
使用 4 MHz 外部晶振, 电源电压=3.3V, 连续测量 1024 次的平均值。

寄存器位设置如下:

SAVDD[1:0]=00, REF[1:0]=11, OSCD[2:0]=100, PD_XT=0,
 PD_FIRC=1, OSCT=0, PD_REFBF=1,
 INX[1:0]=01, IBAS[1:0]=01,
 EN_BGR=1, MODE[3:0]=0001,
 PD_INBF=0, SDVDD[1:0]=00,

外形尺寸

● SOP16 (150 mil) 封装尺寸



SYMBOL	DIMENSION IN MM			DIMENSION IN INCH		
	MIN	NOM	MAX	MIN	NOM	MAX
A	1.35	1.55	1.75	0.0532	0.0610	0.0688
A1	0.10	0.18	0.25	0.0040	0.0069	0.0098
B	0.33	0.42	0.51	0.0130	0.0165	0.0200
C	0.19	0.22	0.25	0.0075	0.0087	0.0098
D	9.80	9.90	10.00	0.3859	0.3898	0.3937
E	5.80	6.00	6.20	0.2284	0.2362	0.2440
E1	3.80	3.90	4.00	0.1497	0.1536	0.1574
e	1.27 BSC			0.050 BSC		
h	0.25	0.38	0.50	0.0099	0.0148	0.0196
L	0.40	0.84	1.27	0.0160	0.0330	0.0500
θ	0°	4°	8°	0°	4°	8°
JEDEC	MS-012 (AC)					

△ * NOTES : DIMENSION "D" DOES NOT INCLUDE MOLD FLASH, PROTRUSIONS OR GATE BURRS.
MOLD FLASH, PROTRUSIONS AND GATE BURRS SHALL
NOT EXCEED 0.15 MM (0.006 INCH) PER SIDE.